

[51] Int. Cl.
H01L 23/60 (2006.01)



专利号 ZL 200410059897.1

[11] 授权公告号 CN 100342535C

[74] 专利代理机构 北京高默克知识产权代理有限公司
代理人 张春和

代理人 张春和

[32] 2003. 7.17 [33] US [31] 60/487,581

[73] 专利权人 宇东科技股份有限公司

[72] 发明人 柯明道 庄哲豪

US2001/0007521 A1 2001.7.12

US6444510B1 2002.9.3

CN1402358A 2003.3.12

US5854504A 1998. 12. 29

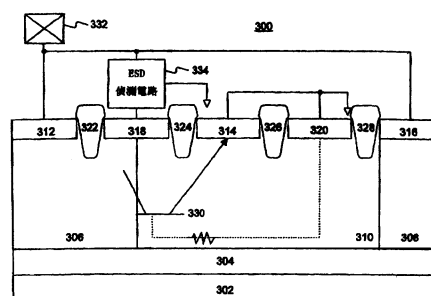
审查员 赵 煜

权利要求书 5 页 说明书 12 页 附图 14 页

用于芯片上静电放电保护的具有深 N 型阱的有效开启双极结构

[57] 摘要

本发明揭示一种适合应用于一静电放电防护电路的半导体装置，该装置包括一半导体基板、形成于该基板内的一第一井、形成于该基板内的一第二井以及形成于该第二井内的一第一掺杂区域，其中该第一井、该第二井以及该第一掺杂区域共同形成一寄生双极接面晶体管 (bipolar junction transistor; BJT)，而且其中该第一井系该 BJT 的集极，该第二井系该 BJT 的基极，而该第一掺杂区域系该 BJT 的射极。



1. 一种适合应用于一静电放电保护电路的半导体装置，其特征在于，包含：
 - 一半导体基板；
 - 一第一阱，其形成于该基板内；
 - 一第二阱，其形成于该基板内；以及
 - 一第一掺杂区域，其形成于该第二阱内，其中该第一阱、该第二阱以及该第一掺杂区域共同形成一寄生双极接面晶体管 BJT，以及其中该第一阱系该 BJT 的集极，该第二阱系该 BJT 的基极，而该第一掺杂区域系该 BJT 的射级。
2. 如权利要求 1 所述的半导体装置，其特征在于，该第一阱系 n 型，该第二阱系 p 型，该第一掺杂区域系 n 型，而该寄生 BJT 系一 NPN BJT。
3. 如权利要求 1 所述的半导体装置，其特征在于，该第一阱系 p 型，该第二阱系 n 型，该第一掺杂区域系 n 型，而该寄生 BJT 系一 PNP BJT。
4. 如权利要求 1 所述的半导体装置，其特征在于，进一步包括：
 - 一第二掺杂区域，其形成于该第一阱内；以及
 - 一第三掺杂区域，其一部分形成于该第一阱内，另一部分形成于该第二阱内；其中该第二掺杂区域与该第一阱具有一相同类型的导电性，而该第二掺杂区域系于该第一阱的一接点，以及其中该第三掺杂区域与该第二阱具有一相同类型的导电性，而该第三掺杂区域系于该第二阱的一接点。
5. 如权利要求 4 所述的半导体装置，其特征在于，进一步包含一静电放电 ESD 侦测电路，其中该第一掺杂区域可连接至一电源供应，其中该第二掺杂区域可连接至一接触垫以用于接收一 ESD，以及其中该第三掺杂区域可耦合于该接触垫以用于侦测该 ESD 的该 ESD 侦测电路。
6. 如权利要求 5 所述的半导体装置，其特征在于，该 ESD 侦测电路在 ESD 区间将一触发电流提供给该第三掺杂区域，而且其中该触发电流触发该寄生 BJT 以将该 ESD 电流从该第二掺杂区域传导给该第一掺杂区域或从该第一掺杂区域传导给该第二掺杂区域。
7. 如权利要求 5 所述的半导体装置，其特征在于，该 BJT 系一 NPN BJT，而该电源供

应为接地。

8. 如权利要求 5 所述的半导体装置, 其特征在于, 该 BJT 系一 PNP BJT, 而该电源供应系一正供应电压。

9. 如权利要求 5 所述的半导体装置, 其特征在于, 进一步包含形成于该第二阱内的一第四掺杂区域, 其中该第四掺杂区域与该第二阱具有一相同类型的导电性, 其中该第四掺杂区域亦系于该第二阱的一接点, 其中该第三掺杂区域与该第四掺杂区域系彼此间隔开, 而且其中该第四掺杂区域可连接至该电源供应。

10. 如权利要求 1 所述的半导体装置, 其特征在于, 进一步含有:

一第二掺杂区域, 其形成于该第一阱内;

一第三掺杂区域, 其一部分形成于该第一阱内, 另一部分形成于第二阱内; 以及

一第四掺杂区域, 其形成于该第二阱内,

其中该第一、第二、第三及第四掺杂区域藉由复数个隔离区域而彼此电性隔离。

11. 如权利要求 10 所述的半导体装置, 其特征在于, 该隔离区域系浅沟渠隔离。

12. 如权利要求 10 所述的半导体装置, 其特征在于, 该隔离区域系硅局部氧化区域。

13. 如权利要求 1 所述的半导体装置, 其特征在于, 进一步包含:

一第二掺杂区域, 其形成于该第一阱内;

一第三掺杂区域, 其一部分形成于该第一阱内, 另一部分形成于第二阱内; 以及;

一第四掺杂区域, 其形成于该第二阱内;

其中该第一、第二、第三及第四掺杂区域系藉由复数个虚设栅极结构而彼此电性隔离。

14. 如权利要求 13 所述的半导体装置, 其特征在于, 该虚设栅极结构的该栅极掺杂有 P^+ 与 N^+ 掺杂物二者, 其中, 该栅极靠在一 p 型掺杂区域的一部分掺杂有 P^+ 掺杂物, 而该栅极靠在一 n 型掺杂区域的一部分掺杂有 N^+ 掺杂物。

15. 如权利要求 1 所述的半导体装置, 其特征在于, 进一步包含用于在 ESD 期间接收一触发电流或一触发电压的一第二掺杂区域, 其中该第二掺杂区域的一部分形成于该第一阱内, 而该第二掺杂区域的另一部分形成于该第二阱内, 而且其中该触发电流或该触发电压触发该 BJT 以在该 ESD 期间释放该 ESD。

16. 一种适合应用于一静电放电保护电路的半导体装置, 其特征在于, 包含:

一半导体基板；

一第一阱，其形成于该基板内；

一第二阱，其形成于该基板内；

一第三阱，其形成于该基板内；以及

一第一掺杂区域，其形成于该第二阱内，

其中，该第一阱、该第二阱以及该第一掺杂区域共同形成一第一寄生 BJT，而其中该第二阱、该第三阱以及该第一掺杂区域共同形成一第二寄生 BJT，以及

其中，该第一阱系该第一 BJT 的集极，该第三阱系该第二 BJT 的集极，该第二阱系该第一与该第二 BJT 二者的基极，而该第一掺杂区域系该第一与该第二 BJT 二者的射极。

17、如权利要求 16 所述的半导体装置，其特征在于，该第一 BJT 与该第二 BJT 均为 NPN BJT。

18、如权利要求 16 所述的半导体装置，其特征在于，该第一 BJT 与该第二 BJT 均为 PNP BJT。

19. 如权利要求 16 所述的半导体装置，其特征在于，进一步包含：

一第二掺杂区域，其形成于该第一阱内；

一第三掺杂区域，其形成于该第三阱内；

一第四掺杂区域，其一部分形成于该第一阱内，另一部分形成于该第二阱内；以及；

一第五掺杂区域，其一部分形成于该第二阱内，另一部分形成于该第三阱内；

其中该第二掺杂区域与该第一阱具有一相同类型的导电性，而该第二掺杂区域系于该第一阱的一接点，以及

其中该第三掺杂区域与该第三阱具有一相同类型的导电性，而该第三掺杂区域系于该第三阱的一接点，以及

其中该第四掺杂区域、该第五掺杂区域以及该第二阱具有一相同类型的导电性，其中该第四掺杂区域与该第五掺杂区域均系于该第二阱的接点，而且其中该第四掺杂区域与该第五掺杂区域系彼此隔开。

20、如权利要求 19 所述的半导体装置，其特征在于，

其中该第一掺杂区域可连接一电源供应，

其中该第二与该第三掺杂区域可连接至一接触垫以用于接收一 ESD，以及

其中该第四与第五掺杂区域可连接至一 ESD 侦测电路，其中该 ESD 侦测电路耦合于该接触垫以用于侦测该 ESD。

21.如权利要求 20 所述的半导体装置,其特征在于,该 ESD 侦测电路在 ESD 期间将一触发电流或一触发电压提供给该第四及第五掺杂区域,其中提供给该第四掺杂区域的该触发电流或触发电压触发该第一 BJT,以将该 ESD 电流从该第二掺杂区域传导给该第一掺杂区域或从该第一掺杂区域传导给该第二掺杂区域,而提供给该第五掺杂区域的该触发电流或触发电压触发该第二 BJT,以将该 ESD 电流从该第三掺杂区域传导给该第一掺杂区域或从该第一掺杂区域传导给该第三掺杂区域。

22.如权利要求 19 所述的半导体装置,其特征在于,该第一、第二、第三、第四、及第五掺杂区域系彼此电性隔离。

23.如权利要求 16 所述的半导体装置,其特征在于,进一步包括复数个虚设栅极结构以电性隔离该第一、第二、第三、第四、及第五掺杂区域中每两个相邻的掺杂区。

24.如权利要求 23 所述的半导体装置,其特征在于,该虚设栅极结构的该栅极掺杂有 P^+ 与 N^+ 掺杂物二者,其中,该栅极靠在一 p 型掺杂区域的一部分掺杂有 P^+ 掺杂物,而该栅极靠在一 n 型掺杂区域的一部分掺杂有 N^+ 掺杂物。

25.如权利要求 19 所述的半导体装置,其特征在于,该第四掺杂区域的一部分形成于该第一阱内,而该第四掺杂区域的另一部分形成于该第二阱内,而且其中该第五掺杂区域的一部分形成于第二阱内,而该第五掺杂区域的另一部分形成于该第三阱内。

26.一种适合应用于一静电放电保护电路的半导体装置,其特征在于,包含:

一半导体基板;

一第一阱,其形成于该基板内;

一第二阱,其形成于该基板内;

一第三阱,其形成于该基板内;

一第一掺杂区域,其形成于该第二阱内;以及;

一第二掺杂区域,其形成于该第二阱内,

其中,该第一阱、该第二阱以及该第一掺杂区域共同形成一第一寄生 BJT,而其中该第二阱、该第三阱以及该第二掺杂区域共同形成一第二寄生 BJT,以及

其中,该第一阱系该第一 BJT 的射极,该第三阱系该第二 BJT 的射极,该第二阱系该第一与该第二 BJT 二者的基极,该第一掺杂区域系该第一 BJT 的集极,而该第二掺杂区域系该第二 BJT 的集极。

27.如权利要求 26 所述的半导体装置,其特征在于,进一步包括:

一第三掺杂区域,其一部分形成于该第一阱内,另一部分形成于该第二阱内,其中该第

二掺杂区域系于该第一阱的一接点，

一第四掺杂区域，其形成于第二阱内；以及；

一第五掺杂区域，其一部分形成于该第二阱内，其另一部分形成于该第三阱内；其中该第五掺杂区域系于该第三阱的一接点，

其中该第一与第二掺杂区域可连接至一接触垫以用于在 ESD 期间接收一 ESD，该第三与第五掺杂区域可连接至一电源供应，而该第四掺杂区域可连接至一 ESD 侦测电路，其中该 ESD 侦测电路耦合于该接触垫以用于侦测该 ESD。

28. 如权利要求 27 所述的半导体装置，其特征在于，该第三掺杂区域的一部分形成于该第一阱内，而该第三掺杂区域的另一部分形成于第二阱内，而且其中该第五掺杂区域的一部分形成于该第二阱内，而该第五掺杂区域的另一部分形成于第三阱内。

29. 如权利要求 27 所述的半导体装置，其特征在于，该 ESD 侦测电路触发该第一与第二 BJT 以将该 ESD 电流分别从该第一与第二掺杂区域传导给该第三与第五掺杂区域，或分别从该第三与第五掺杂区域传导给该第一与第二掺杂区域。

30. 权利要求 27 所述的半导体装置，其特征在于，该第一掺杂区域、该第二掺杂区域、该第三掺杂区域、该第四掺杂区域以及该第五掺杂区域系藉由复数个栅极结构而彼此隔离，其中一第一栅极结构形成于该第一与第三掺杂区域之间，而且该第一栅极结构、该第一掺杂区域、该第三掺杂区域以及该第二阱形成一第一 MOS 晶体管，其中一第二栅极结构形成于该第二与第五掺杂区域之间，而该第二栅极结构、该第二掺杂区域、该第五掺杂区域以及该第二阱形成一第二 MOS 晶体管。

31. 权利要求 30 所述的半导体装置，其特征在于，该第一栅极与该第二栅极均可连接至该 ESD 侦测电路以触发该第一与第二 BJT 以在 ESD 期间释放该 ESD 电流。

用于芯片上静电放电保护的具有深 N 型阱的有效开启双极结构

技术领域

本发明系关于用于静电放电（electrostatic discharge; ESD）防护的半导体装置，而更特定言之，系关于具有用于 ESD 防护的具有深 N 型阱的有效开启双极结构的半导体装置。

背景技术

半导体集成电路（integrated circuit; IC）一般易受放电 ESD 的影响，静电放电系指，在将大量电流提供给 IC 的较短持续时间期间，电流（正或负）的电性放电现象。ESD 可能损害或破坏 IC，因而 IC 需要对 ESD 进行防护。用于 ESD 防护的传统方案并入一基板触发的 ESD 防护装置。图 1 系一传统静电放电 ESD 防护电路的一电路图；图 2 系图 1 所示的 ESD 防护电路的断面图；图 1 显示包括用于保护 IC10 免受 ESD 影响的 ESD 防护电路 100 的 IC10。图 2 系 ESD 防护电路 100 的断面图。如图 1 所示，IC10 包括经由一驱动器电路 16 而耦合于一内部电路 14 的一接触垫 12。驱动器电路 16 包含一 PMOS 晶体管 18 与一 NMOS 晶体管 20。PMOS 晶体管 18 与 NMOS 晶体管 20 的每一个均包含一射极、一集极以及一栅极。PMOS 晶体管 18 的射极耦合于一正电源供应 V_{DD} 。NMOS 晶体管 20 的射极耦合于一接地获一负电源供应 V_{SS} 。PMOS 晶体管 18 与 NMOS 晶体管 20 的二栅极均耦合于该接触垫 12。PMOS 晶体管 18 与 NMOS 晶体管 20 的二集极均耦合于内部电路 14。ESD 防护电路 100 耦合与接触垫 12 以侦测 ESD 并保护 IC10 不受该 ESD 的影响。如图 1 所示，ESD 防护电路 100 包含 NMOS 晶体管 102 与 104 以及一电阻器 106。NMOS 晶体管 102 与 104 的每一个均包括一基板、一射极、一集极以及一栅极。NMOS 晶体管 102 的射极与二 NMOS 晶体管 102 及 104 的基板均相互耦合，且进一步耦合于电阻器 106 的一端。二 NMOS 晶体管 102 与 104 的栅极、NMOS 晶体管 104 的射极以及电阻器 106 的另一端均耦合于 V_{SS} 。NMOS 晶体管 102 与 104 的二集极均耦合于接触垫 12 与驱动器电路 16。

图 1 中还显示寄生于 NMOS 晶体管 104 的双极接面晶体管 BJT108，其中 NMOS 晶体管 104 的基板系 BJT108 的基板，而 NMOS 晶体管 104 的射极与集极系 BJT108 的射极与集极。

在操作中，当正 ESD 出现于接触垫 12 上时，在 NMOS 晶体管 102 的集极出现一正

电位，从而产生横跨 NMOS 晶体管 102 的集极与基板之间的接面的高反向偏压。横跨 NMOS 晶体管 102 的集极与基板接面的反向偏压经由离子植入而产生一电流，该电流流经 NMOS 晶体管 102 的基板与电阻器 106。因此，在 NMOS 晶体管 104 的基板处的电位或 BJT108 的基极得到提高，BJT108 的基极与射极接面顺向偏压，并且开启 BJT108 以将 ESD 传导给接地 V_{SS} 。

图 2 系制造与 p 型半导体基板 202 中的 ESD 防护电路 200 的断面图。ESD 防护电路 200 包括用于保护 IC10 免受 ESD 影响的二 ESD 防护电路 100。每一 ESD 防护电路 100 包括 NMOS 晶体管 102 与 104 以及电阻器 106，其中每一 NMOS 晶体管 104 包括一寄生 BJT 108。半导体基板 202 包括相互间隔而形成的 n 型阱 204、206 及 208。NMOS 晶体管 108 的一晶体管的集极（未编号）形成于 n 型阱 204 内，另一 NMOS 晶体管 108 的集极（未编号）形成于 n 型阱 208 内，而二 NMOS 晶体管 102 的集极（未编号）的部分形成于 n 型阱 206 内。如图 2 中虚线所示，电阻器 106 系实现为半导体基板 202 的寄生电阻。

此外，在半导体基板 202 中形成复数个扩散区域，包括 P^+ 区域 210、212、214、216 以及一 N^+ 区域 218。 P^+ 区域 210 及 212 形成于基板 202 内且分别藉由浅沟渠绝缘 (shallow trench insulation; STI) 220 及 222 而与 n 型阱 204 及 208 隔离。 P^+ 区域 214 及 216 形成于基板 202 内，且 P^+ 区域 214 与 216 的每一区域皆与 NMOS 晶体管 102 的一个别晶体管的射极相邻。藉由 STI 224 将 P^+ 区域 214 与该等 NMOS 晶体管 104 的一晶体管的射极隔离，而藉由 STI 226 将 P^+ 区域 216 与另一 NMOS 晶体管 104 的射极隔离。 N^+ 区域 218 形成于 n 型阱 206 内且藉由 STI 228 及 230 而与 NMOS 晶体管 102 的集极隔离。

参考图 2，接触垫 12 耦合于 NMOS 晶体管 104 的集极，并亦经由 N^+ 区域 218 及 n 型阱 206 而耦合于 NMOS 晶体管 102 的集极。NMOS 晶体管 102 与 104 的栅极、NMOS 晶体管 104 的射极以及 P^+ 区域 210 与 212 均耦合于接地或 V_{SS} 。

在 ESD 期间，于 N^+ 区域 218 处接收 ESD 并经由 n 型阱 206 而将 ESD 耦合于 NMOS 晶体管 102 的集极。因离子植入所致的电流经由 NMOS 晶体管 102 而产生，并经由电阻器 106 及 P^+ 区域 210 及 212 流向接地 V_{SS} 。因此，便将在 BJT 108 的基极处的电位提高至相对于 BJT 108 的射极为正。因而开启 BJT 108 以将 ESD 传导给接地。由于经由基板 202 电阻器 106 与 P^+ 区域 210 及 212 的电流触发 BJT 108 来传导该 ESD，故该电流亦成为触发电流。

本发明的目的在于提供一种适合应用于静电放电 ESD 防护电路的半导体装置和方法。

其技术方案如下：

依据本发明，提供一种适合应用于一静电放电 ESD 防护电路的半导体装置，该装置包括一半导体基板、形成于该基板内的第一阱、形成于该基板内的一第二阱以及形成于该第二阱内的一第一掺杂区域，其中该第一阱、该第二阱以及该第一掺杂区域共同形成一寄生双极接面晶体管 BJT，而且其中该第一阱系该 BJT 的集极，该第二阱系该 BJT 的基极，而该第一掺杂区域系该 BJT 的射极。

同样依据本发明，提供一种适合应用于一静电放电 ESD 防护电路的半导体装置，该装置包括一半导体基板、形成于该基板内的一第一阱、形成于该基板内的一第二阱、形成于该基板内的一第三阱，以及形成于该第二阱内的一第一掺杂区域，其中该第一阱、该第二阱以及该第一掺杂区域共同形成一第一寄生双极接面晶体管 BJT，而其中该第二阱、该第三阱以及该第一掺杂区域共同形成一第二寄生 BJT，而且其中该第一阱系该第一 BJT 的集极，该第三阱系该第二 BJT 的集极，该第二阱系该第一与该第二 BJT 二者的基极，而该第一掺杂区域系该第一与该第二 BJT 二者的射极。

进一步依据本发明，提供一种适合应用于一静电放电 ESD 防护电路的半导体装置，该装置包括一半导体基板、形成于该基板内的第一阱、形成于该基板内的一第二阱、形成于该基板内的一第三阱，形成于该第二阱内的一第一掺杂区域，以及形成于该第二阱内的一第二掺杂区域，其中该第一阱、该第二阱以及该第一掺杂区域共同形成一第一寄生双极接面晶体管 (bipolar junction transistor; BJT)，而该第二阱、第三阱以及该第二掺杂区域共同形成一第二寄生 BJT，而且其中该第一阱系该第一 BJT 的射极，该第三阱系该第二 BJT 的射极，该第二阱系该第一与该第二 BJT 二者的基极，该第一掺杂区域系该第一 BJT 的集极，而该第二掺杂区域系该第二 BJT 的集极。

进一步依据本发明，提供一种提供一静电放电 ESD 防护的方法，该方法包括提供一半导体基板、在该基板内提供一第一阱，在该基板内提供一第三阱，在该第二阱内提供一第一掺杂区域，在该基板内提供一第二掺杂区域以用于一 ESD 接收一 ESD，其中该第二掺杂区域系与该第一阱的一接点，在该基板内提供一第三掺杂区域，以及提供用于侦测该 ESD 的一 ESD 侦测电路，其中该第一阱、该第二阱以及该第一掺杂区域经配置而形成一 BJT，而且其中该 ESD 侦测电路将一触发电流或触发电压提供给该第三掺杂区域，该触发电流或触发电压触发该 BJT 释放该 ESD。

进一步依据本发明，提供一种提供一静电放电 ESD 防护的方法，该方法包括提供一半

导体基板、在该基板内提供一第一寄生 BJT，其中该第一 BJT 具有一射极、一集极以及一基极，其中耦合该第一 BJT 的集极以在一 ESD 接收一 ESD，在该基板内提供一第二 BJT，其中该第二 BJT 具有一射极、一集极以及一基极，其中耦合该 BJT 的集极以接收该 ESD，以及提供用于侦测该 ESD 的一 ESD 侦测电路，其中在该 ESD 期间该 ESD 侦测电路提供一触发电流或触发电压以开启该第一 BJT 与该第二 BJT 来释放该 ESD，其中形成于该基板内的一阱系该第一 BJT 与该第二 BJT 二者的基极，而流经该阱的触发电流在该 ESD 期间触发该第一 BJT 与该第二 BJT。

本发明的有益效果在于对晶体有效的进行了静电放电防护。

在下面说明中将提出部分本发明的其他目的及优点，而有些部分从说明中便可清楚，或可藉由本发明的实施而了解。藉由权利要求书内特别指出的组件与结合，将实现并获得本发明的目的与优点。

附图说明

图 1 系一传统静电放电 ESD 防护电路的电路图；

图 2 系图 1 所示的 ESD 防护电路的断面图；

图 3 系依据本发明的一项具体实施例适用于提供 ESD 防护的双极装置的断面图；

图 4 系依据本发明的另一项具体实施例适用于提供 ESD 防护的双极装置的断面图；

图 5 系亦依据图 3 所示的具体实施例适用于提供 ESD 防护的另一双极装置的断面图；

图 6 系亦依据图 4 所示的具体实施例适用于提供 ESD 防护的另一双极装置的断面图；

图 7 系依据本发明的另一项具体实施例适用于提供 ESD 防护的双极装置的断面图；

图 8 系依据本发明的另一项具体实施例适用于提供 ESD 防护的双极装置的断面图；

图 9 亦系依据图 7 所示的具体实施例适用于提供 ESD 防护的另一双极装置的断面图；

图 10 亦系依据图 8 所示的具体实施例适用于提供 ESD 防护的另一双极装置的断面图；

图 11 系依据本发明的另一项具体实施例适用于提供 ESD 防护的双极装置的断面图；

图 12 系依据本发明的另一项具体实施例适用于提供 ESD 防护的双极装置的断面图；

图 13 系亦依据图 11 所示的具体实施例适用于提供 ESD 防护的另一双极装置断面图；

图 14 系亦依据图 12 所示的具体实施例用于提供 ESD 防护的另一双极装置的断面图。

具体实施方式

图 3 系依据本发明的一项具体实施例的一基板触发的双极装置 300 的断面图。参考图

3, 双极装置 300 包括一基板 302。基板 302 包括复数个 N 型阱 304、306 及 308, 与一 P 型阱 310, 其中 N 型阱 304 形成于基板 302 深处并将基板 302 与 N 型阱 306 及 308 以及 P 型阱 310 分开。P 型阱 310 与 N 型阱 306 相邻而形成, 而 N 型阱 308 与 P 型阱 310 相邻而形成。形成于基板 302 内的还有复数个扩散区域, 包括 N^+ 区域 312、314 以及 316, 以及 P^+ 区域 318 及 320, 其中 N^+ 区域 312 形成于 N 型阱 306 内, N^+ 区域 314 形成于 P 型阱 310 内, N^+ 区域 316 形成于 N 型阱 308 内, 而 P^+ 区域 320 形成于 P 型阱 310 内。 P^+ 区域 318 形成于 N 型阱 306 与 P 型阱 310 二者内, 即, P^+ 区域 318 的一部分形成于 N 型阱 306 内, 而 P^+ 区域 318 的另一部分形成于 P 型阱 310 内。下面在将一扩散区说明为具有形成于一第一阱内的一部分与形成于一第二阱内的另一部分时, 便将该扩散区域说明为已形成于该第一阱与该第二阱二者内。

扩散区域 312、314、316、318 及 320 藉由复数个扩散区域 322、324、326 及 328 而彼此电性隔离。隔离区域 322 将 N^+ 区域 312 与 P^+ 区域 318 电性隔离; 隔离区域 324 将 P^+ 区域 318 与 N^+ 区域 314 电性隔离; 隔离区域 326 将 N^+ 区域 314 与 P^+ 区域 320 电性隔离; 而隔离区域 328 将 P^+ 区域 320 与 N^+ 区域 316 电性隔离。隔离区域 322、324、326、328 系浅沟渠隔离 STIs 或系硅局部氧化 LOCOS 区域。

图 3 中还显示, 由 N 型阱 306、P 型阱 310 及 N^+ 区域 314 共同形成的一寄生 NPN BJT330, 其中 N 型阱 306 系 BJT330 的集极, P 型阱 310 系 BJT330 的基极, 而 N^+ 区域 314 系 BJT330 的射极。 N^+ 区域 312 系于 N 型阱 306 的接点、和 BJT330 的集极, 而 P^+ 区域 318 系于 P 型阱 310 的接点和 BJT330 的基极。P 区域亦系于 P 型阱 310 的接点, 但与 P^+ 区域 318 间隔开。

在双极装置 300 的一项范例行应用中, N^+ 区域 312 耦合于一接触垫 332 以在 ESD 期间接收一静电放电 ESD 电流, 而 N^+ 区域 314 与 P^+ 区域 320 均为接地。一 ESD 侦测电路 334 耦合于接触垫 332 与 P^+ 区域 318 之间以侦测该 ESD。ESD 侦测电路 334 的一端子 (未编号) 为接地。 N^+ 区域 316 亦耦合于接触垫 332。可藉由任何已知的 ESD 侦测方案来实施 ESD 侦测电路 334, 本文将部队其细节作说明。

基于说明的目的, 在本发明的具体实施例的以下说明中, 将自该接触垫例如接触垫 332 流入该双极装置例如 300 的 ESD 电流称为正 ESD 电流, 而将自该双极装置流向该接触垫的 ESD 电流称为负 ESD 电流。在操作中, 当在接触垫 332 处接收正 ESD 电流时, ESD 侦测电路 334 侦测该 ESD 并将一触发电流提供给 P^+ 区域 318。该触发电流经由 P 型阱 310 流向 P^+ 区域 320。由于 P 型阱 310 的非零寄生电阻导致该触发电流产生自 P^+ 区域 318 至 P^+ 区域 320 的

正电位，并触发或启动 BJT330 以将正 ESD 电流从 N^+ 区域 312 传导给 N^+ 区域 314，该 N^+ 区域 314 进而耦合于接地。

再参考图 3，由于 P^+ 区域 318 的一部分形成于 N 型阱 306 内，因此 N 型阱 306 与 N 行区域 314 彼此靠近而形成。因此，BJT330 的有效基极宽度，其约为 N 型阱 306 与 N^+ 区域 314 之间的距离，便缩小至一最小值。因此，BJT330 的增益增加，而且 BJT330 的开启速度提高。

如以上所论述，如图 3 所示的双极装置 300 包括用于释放 ESD 的 NPN BJT。依据本发明的另一项具体实施例，亦提供一种基本触发双极装置，其包括适用于提供 ESD 防护的 PNP BJT。图 4 显示依据本发明的第二具体实施例的此类双极装置 400 的断面图。

参考图 4，双极装置 400 包括一基板 402。复数个 N 型阱 404、406、408，以及一 P 型阱 410 形成于基板 402 内，其中 N 型阱 404 形成于基板 402 深处并将基板 402 与 N 型阱 406 及 408 以及 P 型阱 410 隔离。P 型阱 410 与 N 型阱 406 相邻而形成，而 N 型阱 408 与 P 型阱 410 相邻而形成。形成于基板 402 内的还有复数个扩散区域，包括 N^+ 区域 412、414 以及 416，以及 P^+ 区域 418 及 420，其中 N^+ 区域 412 形成于 N 型阱 406 内， N^+ 区域 416 形成于 N 型阱 408 内， P^+ 区域 418 形成于 P 型阱 410 内， P^+ 区域 420 形成于 N 型阱 408 内，而 N^+ 区域 414 形成于 N 型阱 408 与 P 型阱 410 内。

扩散区域 412、414、416、418 及 420 藉由复数个隔离区域 422、424、426、428 而彼此电性隔离。隔离区域 422 将 N^+ 区域 412 与 P^+ 区域 418 电性隔离；隔离区域 424 将 P^+ 区域 418 与 N^+ 区域 414 电性隔离；隔离区域 426 将 N^+ 区域 414 与 P^+ 区域 420 电性隔离；而隔离区域 428 将 P^+ 区域 420 与 P^+ 区域 416 电性隔离。隔离区域 422、424、426 系 STIs 或 LOCOS。

P 型阱 410、N 型阱 408 及 P^+ 区域 420 共同形成一寄生 PNP BJT430，其中 P 型阱 410 系 BJT430 的集极，N 型阱 408 系 BJT430 的基极，而 P^+ 区域 420 系 BJT430 的射极。 P^+ 区域 418 系于 P 型阱 410 的接点，和 BJT430 的集极，而 N^+ 区域 414 系于 N 型阱 408 的接点，或 BJT430 的基极。 N^+ 区域 416 亦系于 N 型阱 408 的一接点，但与 N^+ 区域 414 间隔开。

在双极装置 400 的一项规范性应用中， P^+ 区域 418 耦合于一接触垫 432 以在 ESD 期间接收 ESD 电流，而 N^+ 区域 412 及 416 与 P^+ 区域 420 均连接至一正电源供应 V_{SS} 。一 ESD 侦测电路 434 耦合于接触垫 432 与 N^+ 区域 414 之间以侦测该 ESD。ESD 侦测电路 434 的一端子亦连接至 V_{DD} 。

在ESD期间,当一负ESD电流出现于接触垫432上时,ESD侦测电路434侦测该ESD并产生来自 N^+ 区域414的一触发电流。该触发电流经由N型阱408从连接至 V_{DD} 的 N^+ 区域416流向 N^+ 区域414。由于N型阱408的非零寄生电阻,而似的临近 N^+ 区域414的电位降低至相对于 V_{DD} 的一相对较负值。因此,触发或开启BJT430以将该负ESD电流从 P^+ 区域418传导给 P^+ 区域420,该 P^+ 区域420进而连接至正电源供应 V_{DD} 。

一方面,由于 N^+ 区域414的一部分形成于P型阱410内,因此P型阱410与 P^+ 区域420彼此靠近而形成。换言之,BJT430的有效基极宽度很小,因此,BJT430的开启速度提高。

同样依据本发明,可藉由虚设栅极来替换以上所说明的第一与第二具体实施例中的隔离区域,从而进一步减小该双极装置的尺寸。图5及图6分别显示具有虚设栅极的双极装置300与400的实现。

参考图5,分别藉由虚设栅极结构322', 324'、326'及328'来替换双极装置300的隔离区域322、324、326及328而不修改其余结构。参考图6,分别藉由虚设栅极结构422'、424'、426'及428'来替换双极装置400的隔离区域422、424、426及428而不修改其余结构。如图5及6所示,该些虚设栅极结构的栅极掺杂有 P^+ 与 N^+ 掺杂物二者,其中,该等栅极靠在一 P^+ 区域的一部分掺杂有 P^+ 掺杂物,而该等栅极靠在一 N^+ 区域的一部分掺杂有 N^+ 掺杂物。由于一虚设栅极具有一STI或LOCOS隔离实质上更小的尺寸,由此如图5及6所示的组态需要比图3及图4所示组态实质上更小的芯片区域。

依据本发明,亦提供适用于提供ESD防护的一浮动基极双极装置。图7显示依据本发明的一第三具体实施例的包括寄生NPN BJT的浮动基极双极装置500。

参考图7,双极装置500形成于一半导体基板502内。复数个N型阱504、506及508以及一P型阱510形成于基板502内,其中N型阱504形成于基板502深处并将基板502与N型阱506及508以及P型阱510隔离。P型阱510与N型阱506相邻而形成,而N型阱508与P型阱510相邻而形成。复数个扩散区域,包括 N^+ 区域512、514以及516,以及 P^+ 区域518及520形成于基板502内,其中 N^+ 区域512形成于N型阱506内, N^+ 区域514形成于P型阱510内, N^+ 区域516形成于N型阱508内, P^+ 区域518形成于N型阱506与P型阱510内,而 P^+ 区域520形成于P型阱510与N型阱508二者内。

扩散区域512、514、516、518及520藉由复数个隔离区域522、524、526及528而彼此电性隔离。隔离区域522将 N^+ 区域512与 P^+ 区域518电性隔离;隔离区域524将 P^+ 区域518与 N^+ 区域514电性隔离;隔离区域526将 N^+ 区域514与 P^+ 区域520电性隔离;

而隔离区域 528 将 P^+ 区域 520 与 P^+ 区域 516 电性隔离。隔离区域 522、524、526 系 STIs 或系 LOCOS。

如图 7 所示, N 型阱 506、P 型阱 510 以及 N^+ 区域 514 共同形成一寄生 NPN BJT 530, 而 N 型阱 508、P 型阱 510 以及 N^+ 区域 514 共同形成一寄生 NPN BJT 532, 其中 N 型阱 506 系 BJT 530 的集极, N 型阱 508 系 BJT 532 的集极, P 型阱 510 系 BJT 530 与 BJT532 二者的基极, 而 N^+ 区域 514 系 BJT 530 与 532 二者的射极。在双极装置 500 的一范特例应用中, 将 N^+ 区域 512 与 516 二者均耦合于一接触垫 534 以在 ESD 期间接收 ESD 电流, 而 N^+ 区域 514 为接地。将一 ESD 侦测电路 536 耦合于接触垫 534 以侦测该 ESD, 并将 P^+ 区域 518 与 520 均耦合于 ESD 侦测电路 536。ESD 侦测电路 536 的一端子(未编号)亦为接地。

在一正 ESD 电流出现于接触垫 534 上的期间, ESD 侦测电路 536 侦测该 ESD 并在 P^+ 区域 518 与 520 处产生一触发电流或一触发电压以开启 BJT 530 与 532, 从而将该正 ESD 电流自 N^+ 区域 512 与 516 传导给 N^+ 区域 514。依照本发明的第四具体实施例, 亦提供一种包括用于提供 ESD 防护的 PNP BJT 的浮动基极双极装置 600。参考图 8, 双极装置 600 形成于一半导体 602 内。复数个 N 型阱 604、606、608 及 610, 以及二 P 型阱 612 及 614 形成于基板 602 内, 其中 N 型阱 604 形成于基板 602 深处并将基极 602 与 N 型阱 606、608 及 610 以及 P 型阱 612 及 614 隔离。P 型阱 612 与 N 型阱 606 相邻而形成, N 型阱 608 与 P 型阱 612 相邻而形成, P 型阱 614 与 N 型阱 608 相邻而形成, 而 N 型阱 610 与 P 型阱 614 而形成。基板 602 内还形成复数个扩散区域, 包括 N^+ 区域 616、618、620 及 622, 以及 P^+ 区域 624、626 及 628, 其中 N^+ 区域 616 形成于 N 型阱 606 内, N^+ 区域 618 形成于 P 型阱 612 与 N 型阱 608 内, N^+ 区域 620 形成于 N 型阱 608 与 P 型阱 614 二者内, N^+ 区域 622 形成于 N 型阱 610 内, P^+ 区域 624 形成于 P 型阱 612 内, P^+ 区域 626 形成于 N 型阱 608 内, 而 P^+ 区域 628 形成于 P 型阱 614 内。

扩散区域 616、618、620、622、624、626 及 628 藉由复数个隔离区域 630、632、634、636、638 及 640 而彼此电性隔离。隔离区域 630 将 N^+ 区域 616 与 P^+ 区域 624 电性隔离; 隔离区域 632 将 P^+ 区域 624 与 N^+ 区域 618 电性隔离; 隔离区域 634 将 N^+ 区域 618 与 P^+ 区域 626 电性隔离; 而隔离区域 636 将 P^+ 区域 626 与 N^+ 区域 620 电性隔离。隔离区域 638 将 N^+ 区域 620 与 P^+ 区域 628 电性隔离; 而隔离区域 640 将 P^+ 区域 628 与 N^+ 区域 622 隔离。隔离区域 630、632、634、636、638 及 640 系 STI 或系 LOCOS。

如图 8 所示, P 型阱 612、N 型阱 608 及 P^+ 区域 626 共同形成一寄生 PNP BJT 642, 而 P 型阱 614、N 型阱 608 及 P^+ 区域 626 共同形成一寄生 PNP BJT 644, 其中 P 型阱 612

系 BJT 642 的集极, P 型阱 614 系 BJT 644 的集极, N 型阱 608 系 BJT642 与 BJT644 二者的基极, 而 P^+ 区域 626 系 BJT642 与 BJT644 二者的射极。在双极装置 600 的一范例性应用中, N^+ 区域 616 及 622 与 P^+ 区域 626 均连接至一正电源供应 V_{DD} 。 P^+ 区域 624 与 628 二者均耦合于一接触垫 646 以在 ESD 期间接收 ESD 电流。一 ESD 侦测电路 648 耦合于接触垫 646 以侦测该 ESD, 而 N^+ 区域 618 与 620 均耦合于 ESD 侦测电路 648。ESD 侦测电路 648 的一端子(未编号)亦连接至 V_{DD} 。

当一负 ESD 电流出现于接触垫 646 上时, ESD 侦测电路 648 侦测该 ESD 并在 N^+ 区域 618 与 620 处产生一触发电流或触发电压以开启 BJT642 与 644, 从而将该负 ESD 电流自 P^+ 区域 624 与 628 传导给 P^+ 区域 626, 该 P^+ 区域 626 进而耦合于一正电源供应。同样地, 亦可藉由虚设栅极来替换该等第三与第四具体实施例中的隔离区域, 从而进一步减小该双极装置的尺寸。图 9 及图 10 分别显示具有虚设栅极的双极装置 500 与 600 的实现。参考图 9, 分别藉由虚设栅极结构 522'、524'、526' 及 528' 来替换双极装置 500 的隔离区域 522、524、526 及 528 而不修改其余结构。参考图 10, 已分别藉由虚设栅极结构 630'、632'、634'、636'、638' 及 640' 来替换双极装置 600 的隔离区域 630、632、634、636、638 及 640 而不修改该结构的其余部分。这些虚设栅极结构的栅极掺杂有 P^+ 与 N^+ 掺杂物二者, 其中, 该等栅极最靠近一 P^+ 区域的一部分掺杂有 P^+ 掺杂物, 而该等栅极最靠近一 N^+ 区域的一部分掺杂有 N^+ 掺杂物, 如图 9 及 10 中均显示。

依据本发明, 亦提供用于提供 ESD 保护的双极装置, 其中该双极装置具有用于散热的一大区域, 而因此提高装置稳定性。图 11 显示依据本发明的第五具体实施例的包括具有用于散热的一大片区域的 NPN BJT 的双极装置 700。参考图 11, 双极装置 700 形成于一半导体基板 702 内。复数个 N 型阱 704、706 及 708, 以及一 P 型阱 710 形成于基板 702 内, 其中 N 型阱 704 形成于基板 702 深处并将基板 702 与 N 型阱 706 及 708 以及 P 型阱 710 隔离。P 型阱 710 与 N 型阱 706 相邻而形成, 而 N 型阱 708 与 P 型阱 710 相邻而形成。

形成于基板 702 内的还有复数个扩散区域, 包括 N^+ 区域 712、714、716 及 718, 以及一 P 型阱 720, 其中 N^+ 区域 712 形成于 N 型阱 706 与 P 型阱 710 二者内, N^+ 区域 714 与 716 形成于 P 型阱 710 内, N^+ 区域 718 形成于 N 型阱 708 与 P 型阱 710 二者内, 而 P^+ 区域 720 形成于 P 型阱 710 内。扩散区域 712、714、176、178 及 720 藉由复数个隔离区域 722、724、726 及 728 而彼此电性隔离。隔离区域 722 将 N^+ 区域 712 与 N^+ 区域 714 电性隔离; 隔离区域 724 将 N^+ 区域 714 与 P^+ 区域 720 电性隔离; 隔离区域 726 将 P^+ 区域 720 与 N^+ 区域 716 电性隔离; 而隔离区域 728 将 N^+ 区域 716 与 P^+ 区域 718 电性隔离。一方

便, 隔离区域 722、724、726、及 728 系 STI 或系 LOCOS。

N^+ 区域 714、P 型阱 710 及 N 型阱 706 共同形成一寄生 NPN BJT730, 而 N^+ 区域 716、P 型阱 710 及 N^+ 区域 718 共同形成一寄生 NPN BJT 732, 其中 N^+ 区域 174 系 BJT730 的集极, N^+ 区域 716 系 BJT 732 的集极, P 型阱 710 系 BJT 730 与 732 二者的基极, N 型阱 706 系 BJT 730 的射极, 而 N 型阱 708 系 BJT 732 的射极。 N^+ 区域 712 系于 N 型阱 706 的接点, 而 N^+ 区域 718 系于 N 型阱 708 的接点。

在双极装置 700 的一范例性应用中, N^+ 区域 712 与 718 为接地。 N^+ 区域 714 与 716 耦合于一接触垫 734 以在 ESD 期间接收 ESD 电流。一 ESD 侦测电路 736 耦合于接触垫 734 与 P^+ 区域 720 之间以侦测该 ESD。ESD 侦测电路 736 侦测该 ESD 并在 P^+ 区域 720 处产生一触发电流或一触发电压, 从而开启 BJT 730 与 732 以分别将该 ESD 从 N^+ 区域 714 与 716 传导给 N^+ 区域 712 与 718。

如图 11 所示, 与图 7 不同, BJT 730 与 732 的射极系 N 型阱 706 与 708, 而图 7 将 BJT 530 与 532 的射极显示为 N^+ 区域 514。由此, BJT730 与 732 的散热区域与 BJT 530 与 532 的散热区域相比要大得多。因此, 便提高了该装置的稳定性。

图 12 显示依据本发明的第六具体实施例的包括具有大散热区域的 PNP BJT 的双极装置 800。参考图 12, 双极装置 800 形成于一半导体基板 802 内。复数个 N 型阱 804、806、808 及 810 以及二 P 型阱 812 及 814 形成于基板 802 内, 其中 N 型阱 804 形成于基板 802 深处并将基极 802 与 N 型阱 806、808 及 810 以及 P 型阱 812 及 814 隔离。P 型阱 812 与 N 型阱 806 相邻而形成, N 型阱 808 与 P 型阱 812 相邻而形成, P 型阱 814 与 N 型阱 808 相邻而形成, 而 N 型阱 810 与 P 型阱 814 相邻而形成。形成于基板 802 内还形成复数个扩散区域, 包括 N^+ 区域 816、818 以及 820, 以及 P^+ 区域 822、824、826 及 828, 其中 N^+ 区域 816 形成于 N 型阱 806 内, N^+ 区域 818 形成于 N 型阱 808 内, N^+ 区域 820 形成于 N 型阱 810 内, P^+ 区域 822 形成于 P 型阱 812 与 N 型阱 808 二者内, P^+ 区域 824 与 826 均形成于 N 型阱 808 内, 而 P^+ 区域 828 形成于 N 型阱 808 与 P 型阱 814 二者内。

扩散区域 816、818、820、822、824、826 及 828 藉由复数个隔离区域 830、832、834、836、838 及 840 而彼此电性隔离。隔离区域 830 将 N^+ 区域 816 与 P^+ 区域 822 电性隔离; 隔离区域 832 将 P^+ 区域 822 与 P^+ 区域 824 电性隔离; 隔离区域 834 将 P^+ 区域 824 与 N^+ 区域 818 电性隔离; 而隔离区域 836 将 N^+ 区域 818 与 P^+ 区域 826 电性隔离; 隔离区域 838 将 P^+ 区域 826 与 P^+ 区域 828 隔离; 而隔离区域 840 将 P^+ 区域 828 与 N^+ 区域 820 隔离。隔离区域 830、832、834、836、838、840 系 STI 或系 LOCOS。

如图 12 所示, P^+ 区域 824、N 型阱 808 及 P 型阱 812 共同形成一寄生 PNP BJT842, 而 P^+ 区域 826、N 型阱 808 及 P 型阱 814 共同形成一寄生 PNP BJT844, 其中 P^+ 区域 824 系 BJT 842 的集极, P^+ 区域 826 系 BJT 844 的集极, N 型阱 808 系 BJT 842 与 844 二者的基极, P 型阱 812 系 BJT842 的射极, 而 P 型阱 814 系 BJT844 的射极。在双极装置 800 的一范例性应用中, N^+ 区域 816 及 820 与 P^+ 区域 822 及 828 均连接至一正电源供应 V_{DD} 。 P^+ 区域 824 与 826 二者均耦合于一接触垫 846 以在 ESD 期间接收 ESD 电流。一 ESD 侦测电路 848 耦合于接触垫 846 与 N^+ 区域 818 之间以侦测该 ESD。ESD 侦测电路 848 的一端子(未编号)亦连接至 V_{DD} 。

当一负 ESD 电流出现于接触垫 846 上时, ESD 侦测电路 848 侦测该 ESD 并在 N^+ 区域 818 出产生一触发电流或触发电压, 该触发电流或触发电压便触发或开启 BJT842 与 844 以分别将该负 ESD 电流从 P^+ 区域 824 与 826 传导给 P^+ 区域 822 与 828。由于上面已经论述的原因, 双极装置 800 的结构亦提供用于一较佳散热而其稳定性亦因此得意提高。此外, 亦可藉由虚设栅极来替换双极装置 700 与 800 中的隔离区域。如图 13 所示, 已分别藉由虚设栅极结构 722'、724'、726' 及 728' 来替换双极装置 700 的隔离区域 722、724、726 及 728 而不修改其余结构。

一方面, 改等栅极结构 724' 与 726' 中每一结构的栅极均掺杂有 P^+ 与 N^+ 掺杂物二者, 而栅极结构 722' 与 728' 均掺杂有 N^+ 掺杂物。如图 13 的虚线圆所示, 形成二个 n 型 MOS 晶体管 738 与 740, 且 N^+ 区域 712 与 714 系 MOS 晶体管 738 的射极与集极, N^+ 区域 716 与 718 系 MOS 晶体管 740 的射极与集极, 而 P 型阱 710 系二 MOS 晶体管 738 与 740 的基极。一方面, NMOS 晶体管 738 与 740 的二栅极, 即栅极 722' 与 728' 均耦合于 ESD 侦测电路 736 以接收该触发电流或触发电压来触发或开启 BJT 730 与 732。因此, 可更快地开启 BJT 730 与 732。

参考图 14, 分别藉由虚设栅极结构 830'、832'、834'、836'、838' 及 840' 来替换隔离区域 830、832、834、836、838 及 840 而不修改其余结构。一方面, 该等栅极结构 830'、834'、836' 及 840' 中每一结构的栅极均掺杂有 P^+ 与 N^+ 掺杂物二者, 而栅极结构 832'、838' 均掺杂有 N^+ 掺杂物。如图 14 的虚线圆所示, 形成二个 p 行 MOS 晶体管 850 与 852, 其中 P^+ 区域 822 与 824 系 MOS 晶体管 850 的射极与集极, P^+ 区域 826 与 828 系 MOS 晶体管 852 的射极与集极, 而 N 型阱 808 系二 NMOS 晶体管 850 与 852 的基板。一方面, NMOS 晶体管 850 与 852 的二栅极, 即栅极 832' 与 838', 均耦合于 ESD 侦测电路 848 以接收该触发电流或触发电压, 从而触发或开启 BJT 842 与 844。因此, 可更快地开始 BJT 842 与 844。

熟习此项技术者将明白可在所揭示的程序中进行各种修改及变化而不脱离本发明的范畴或精神。熟习此项技术者考虑本文所揭示的本发明的说明书及实务之后可明白本发明的其他具体实施例。希望仅将该说明书及范例视为范例性，而由权利要求书来表示本发明的真实范畴及精神。

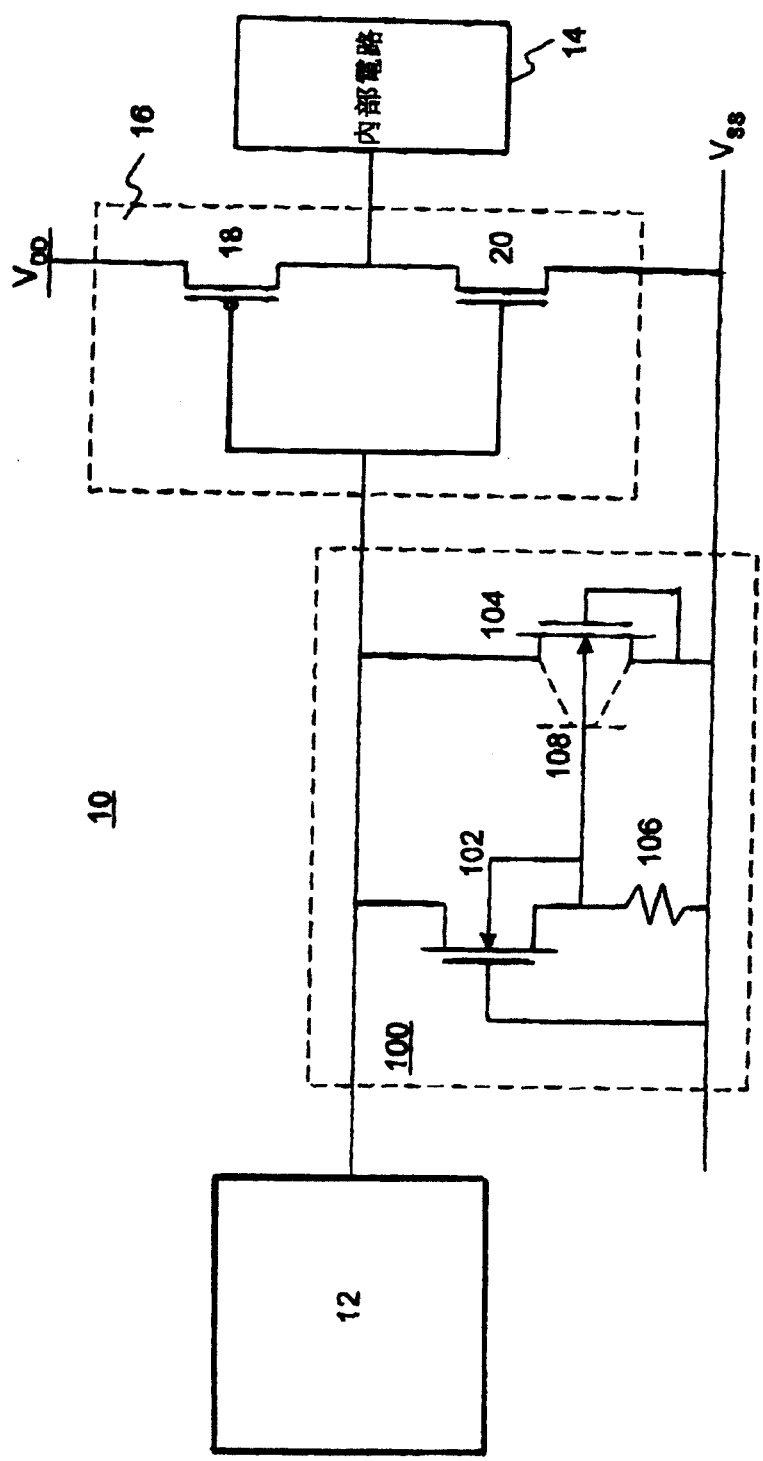


图1

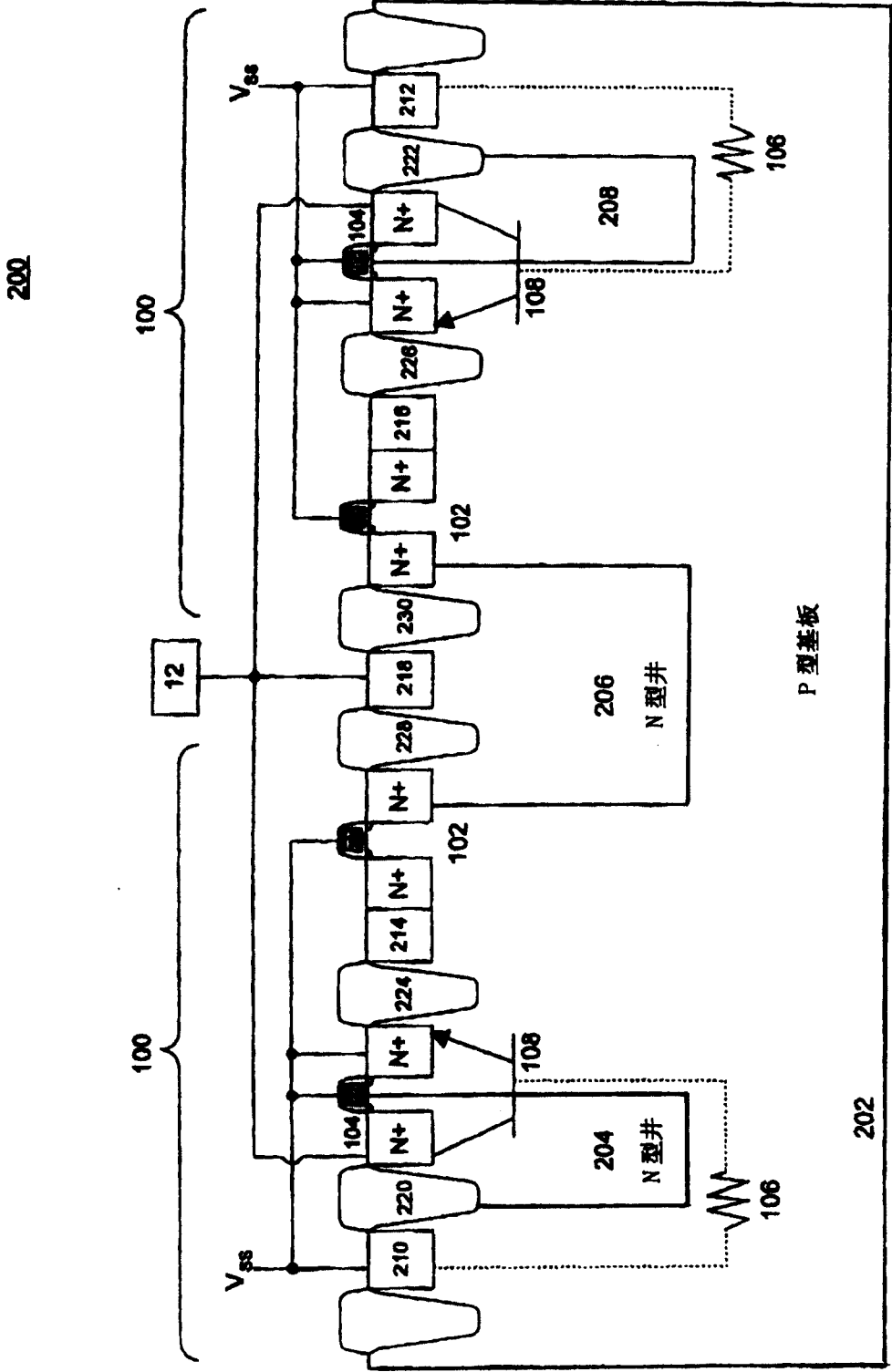


图2

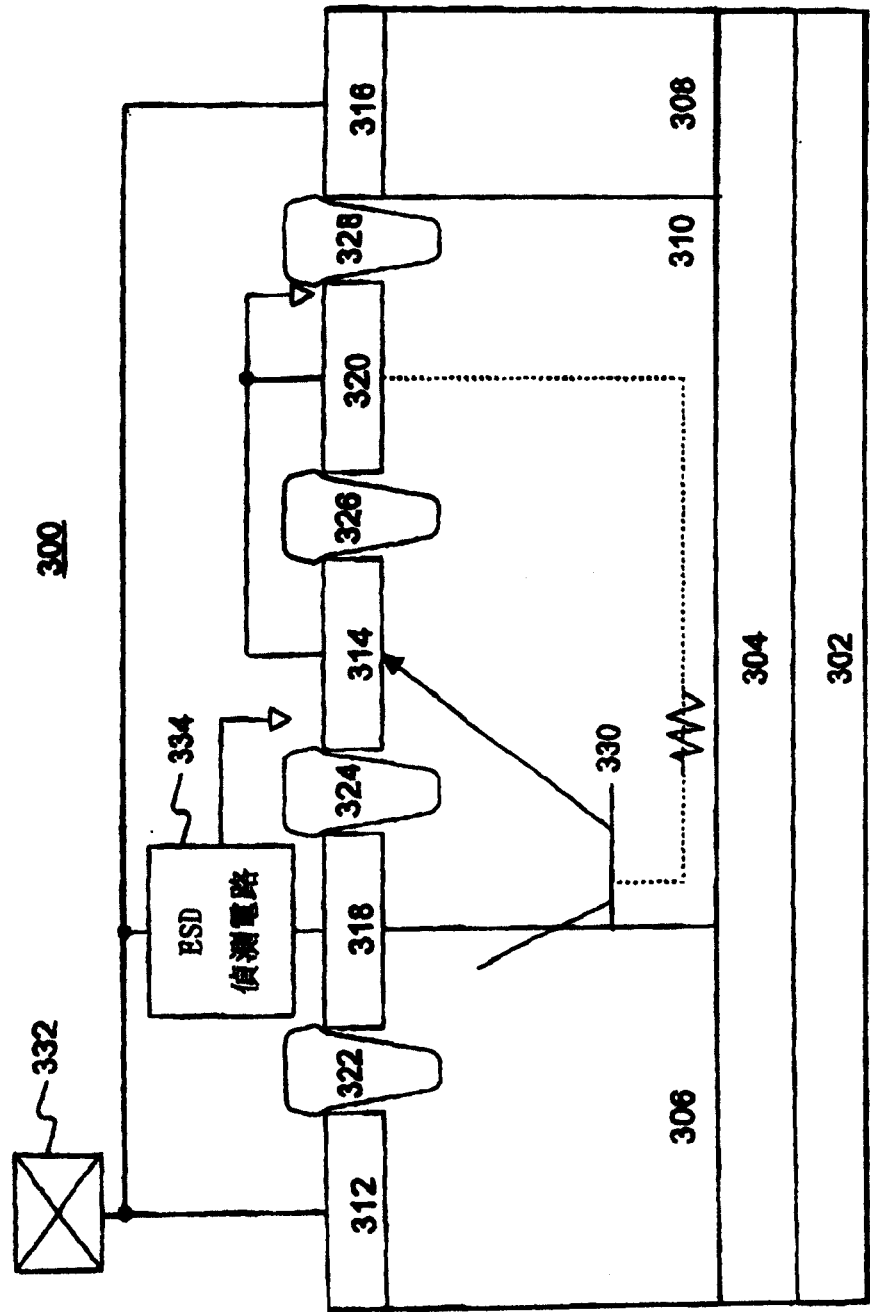


图3

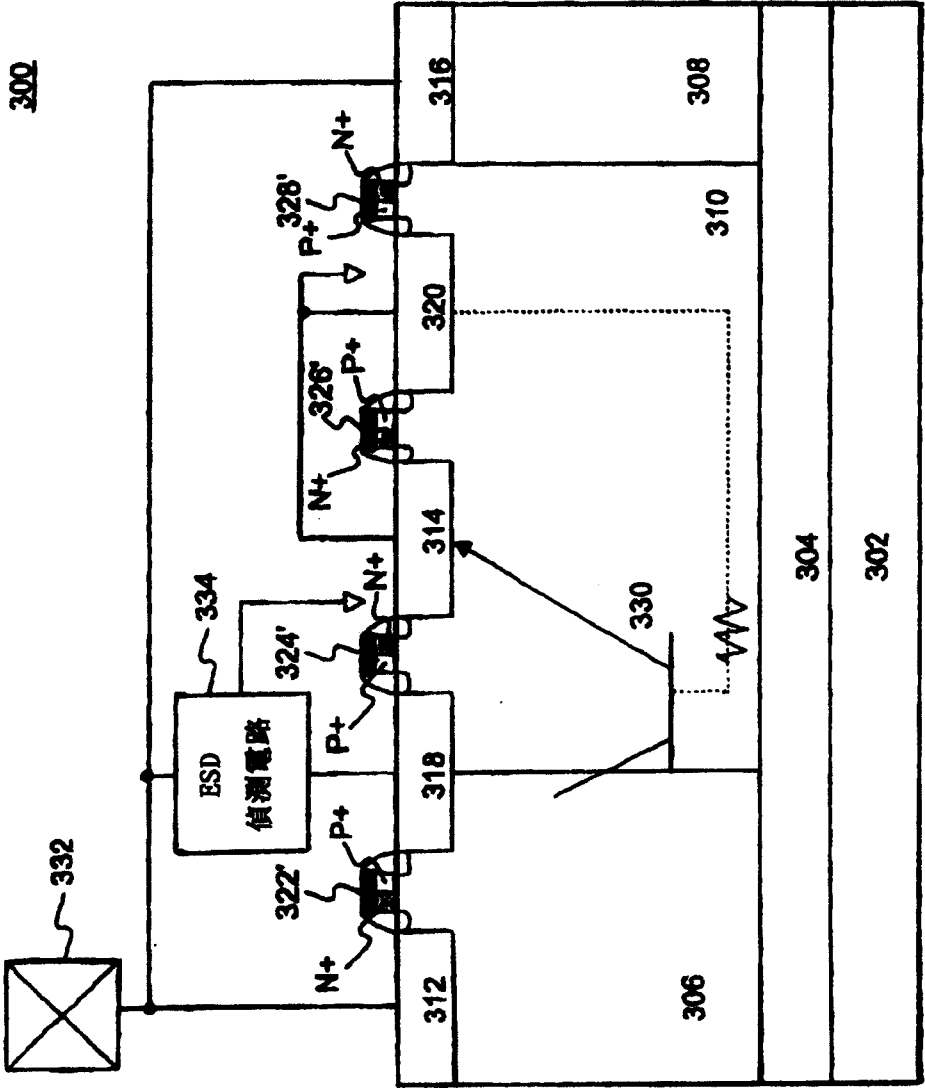


图5

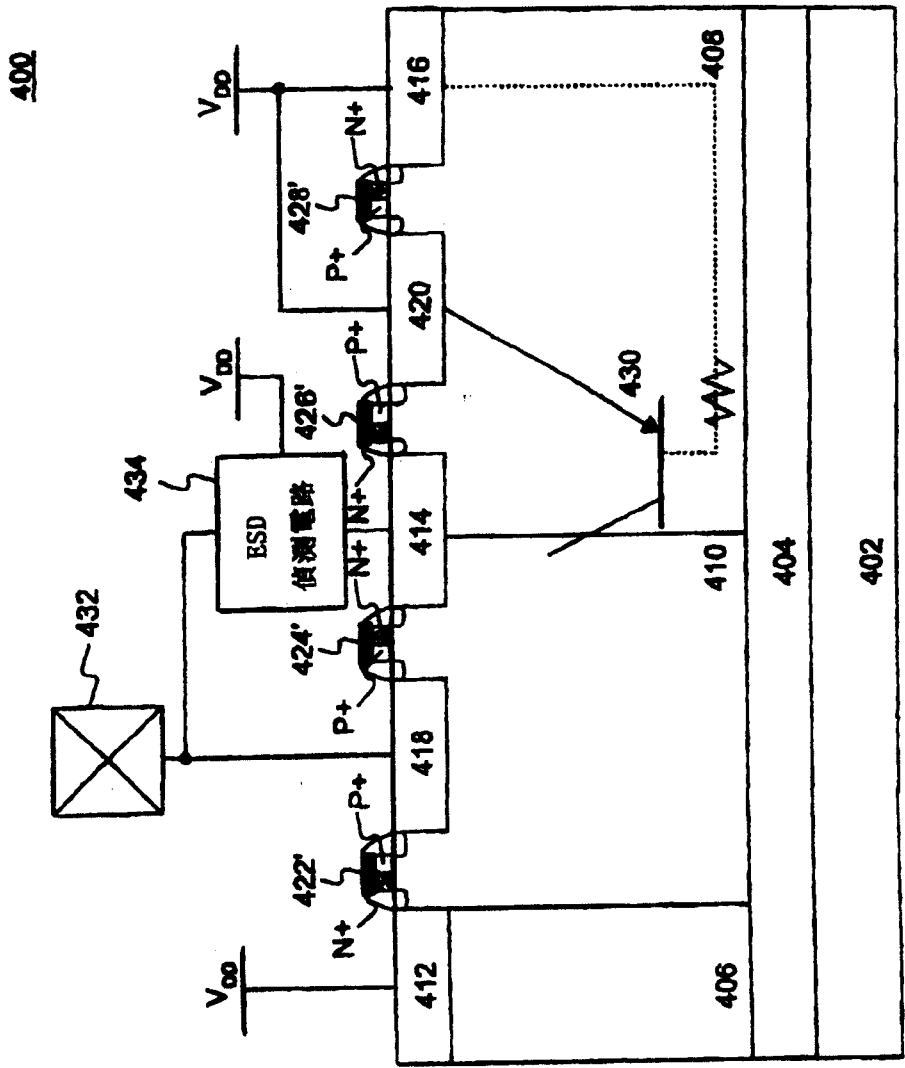


图 6

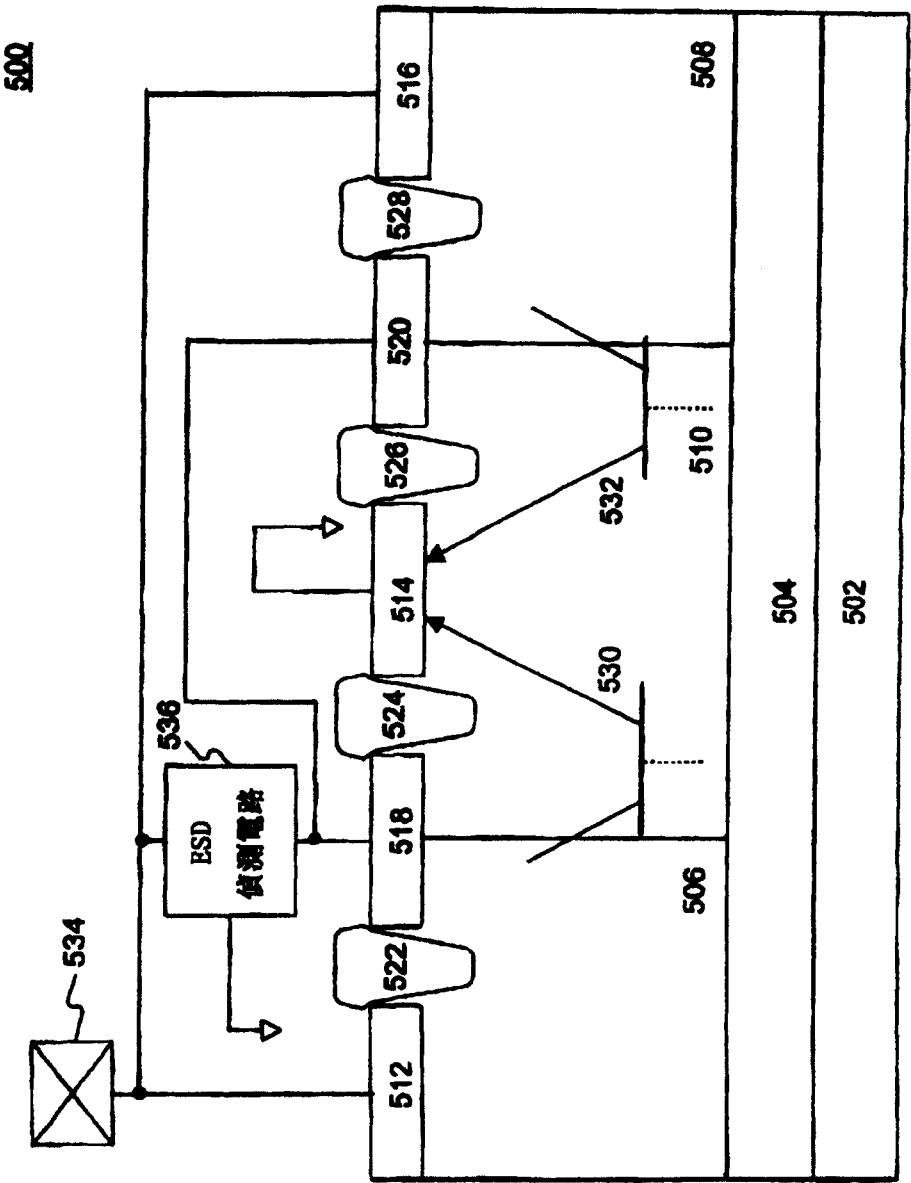


图7

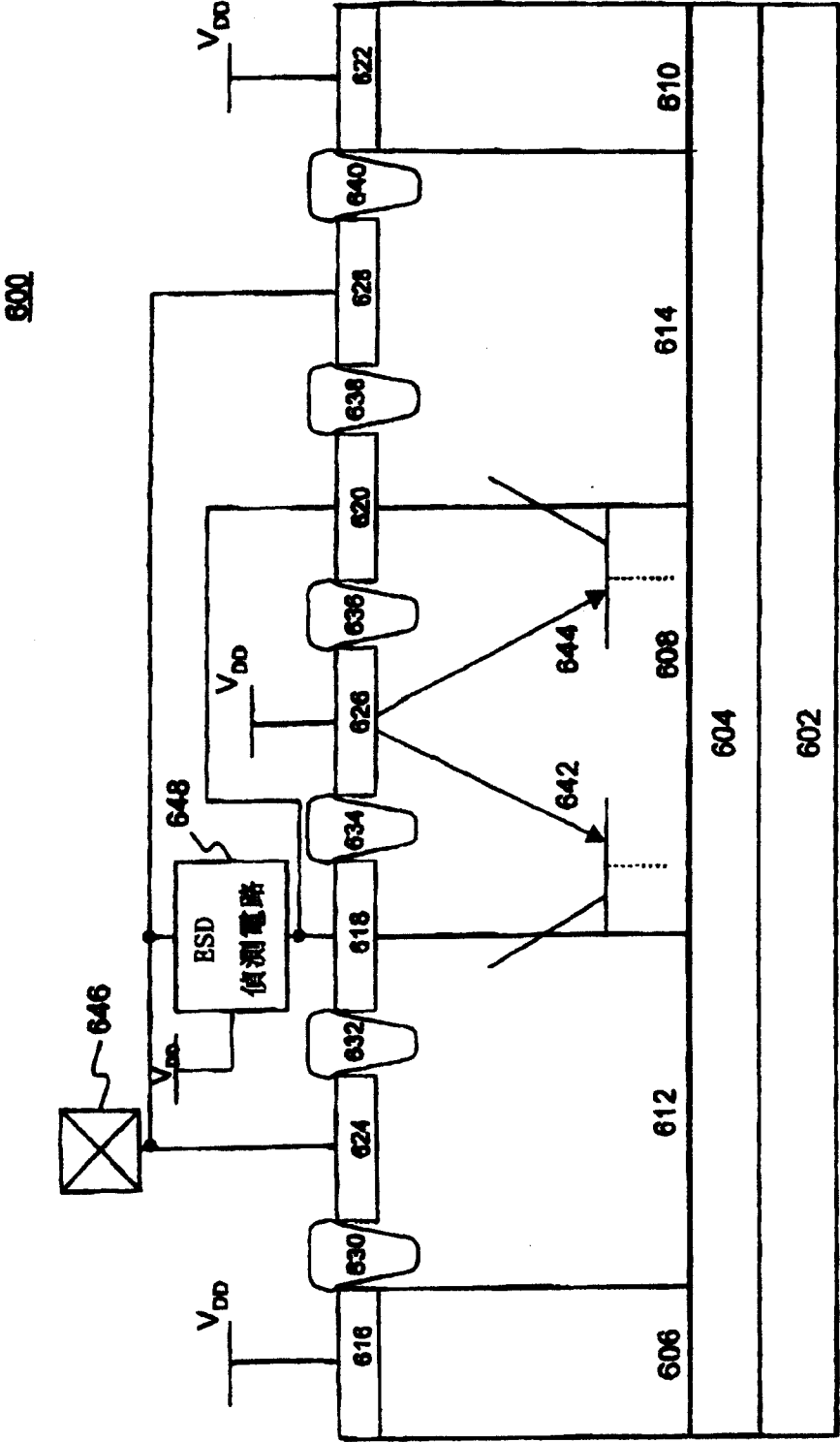


图8

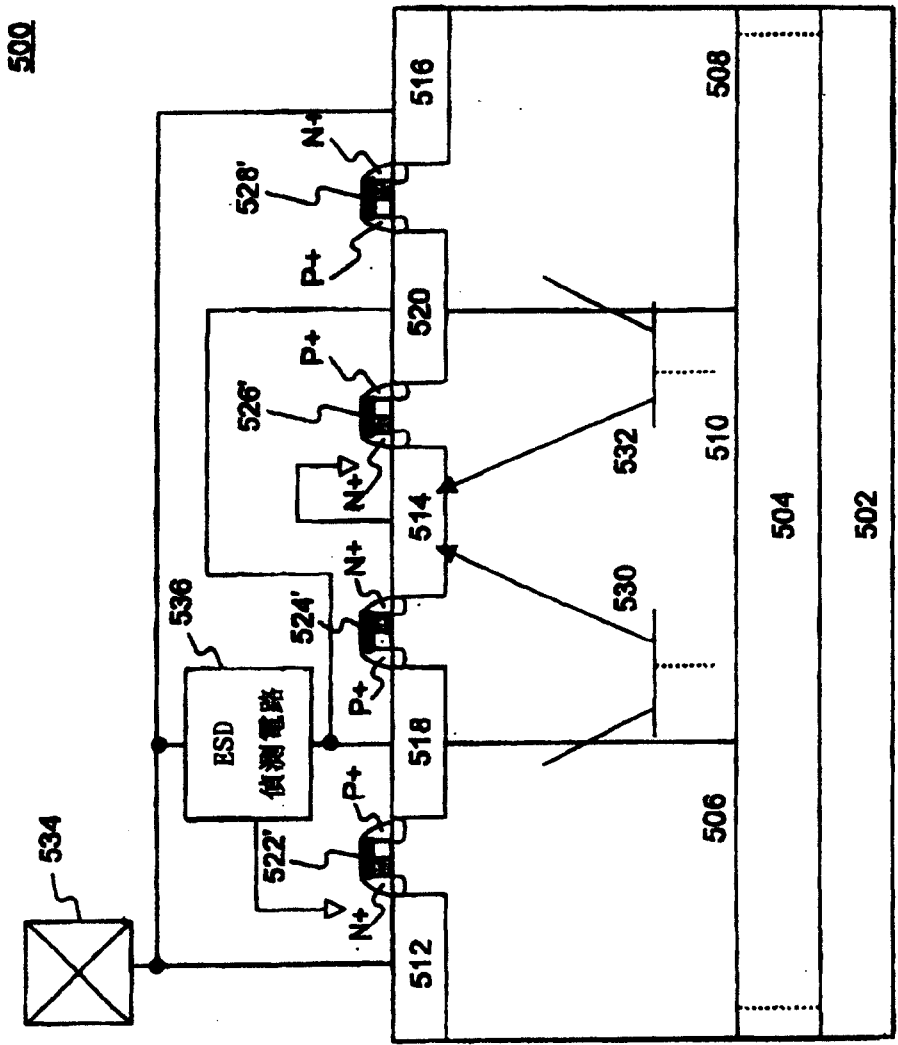


图9

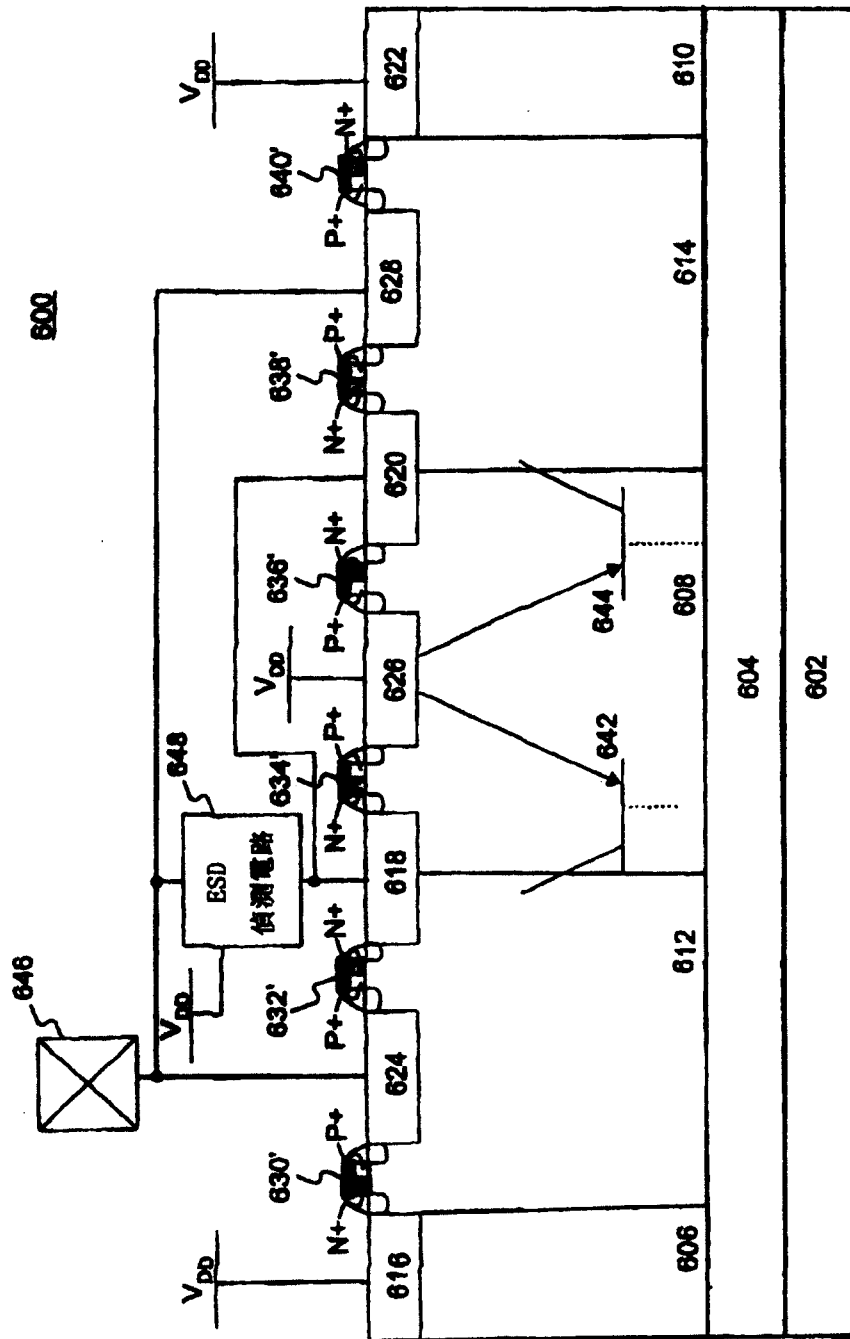


图10

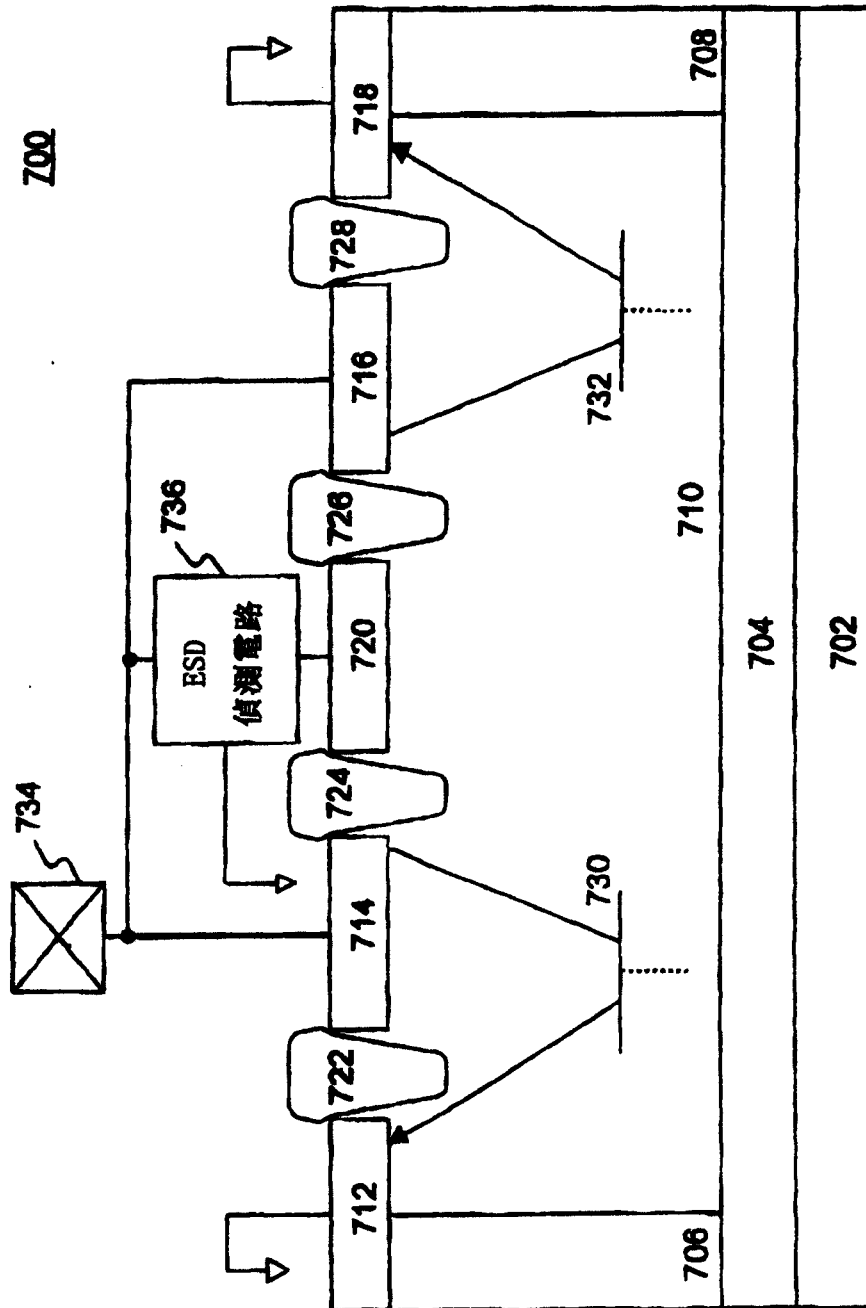


圖 11

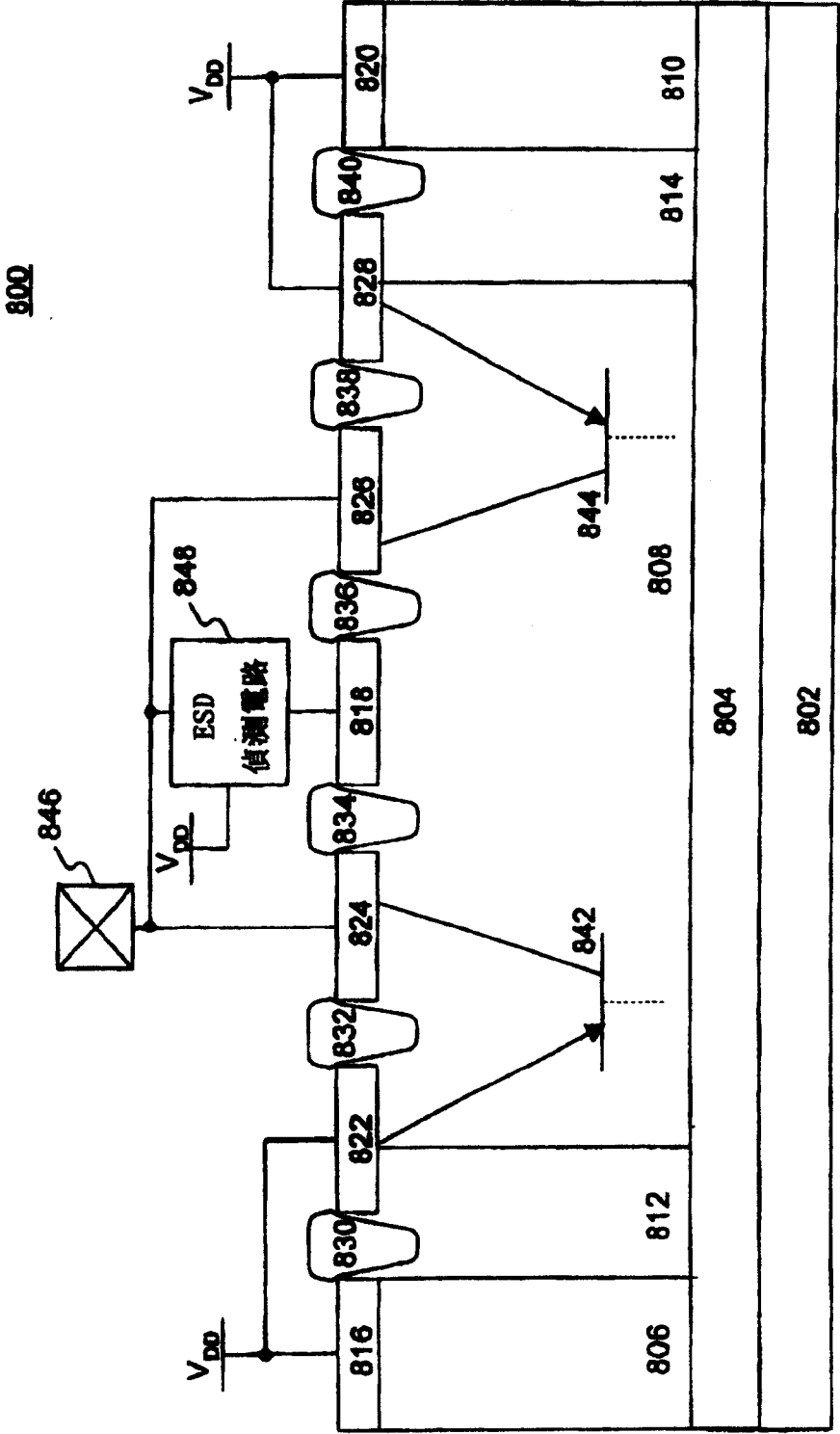


图12

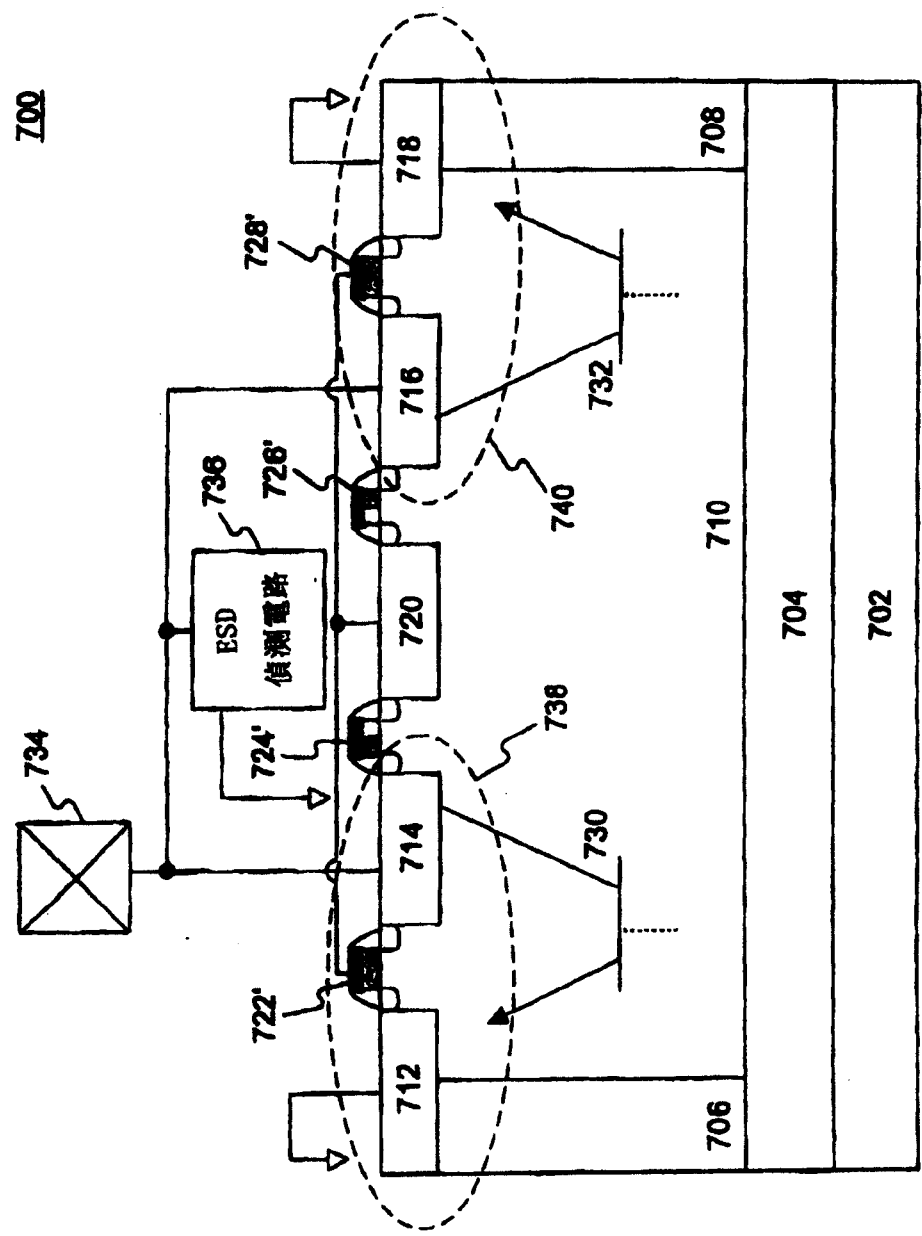


图13

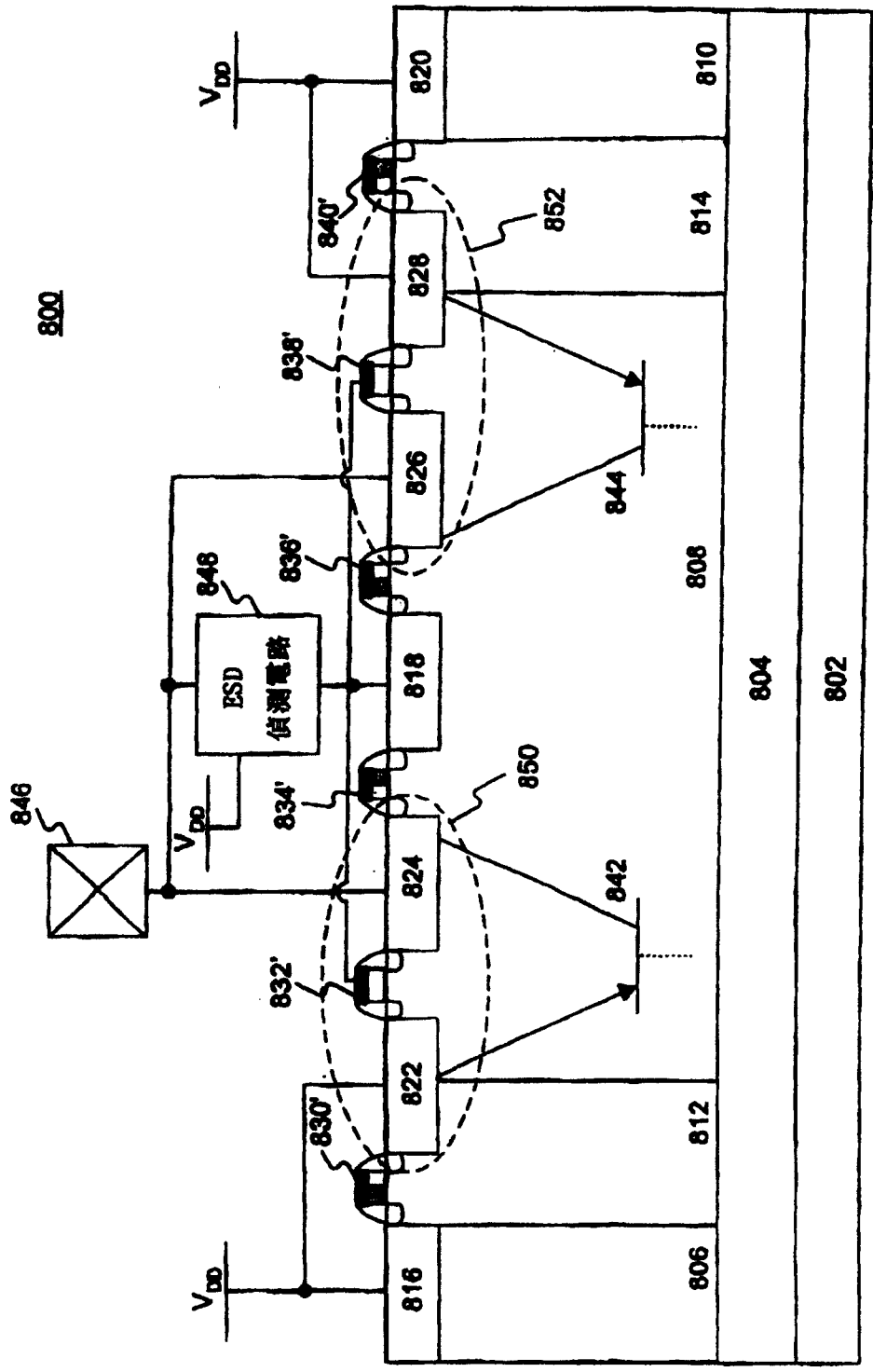


图14